

## Делитель частоты на 2 на основе токовой логики

П.С. Будяков

Донской государственной технической университет, Ростов-на-Дону

**Аннотация:** Рассматривается делитель частоты на 2 на основе схемотехники токовой логики, в котором за счет токовых зеркал стабильных к напряжению питания и работе транзисторов в активном режиме реализуется повышенная надежность и стойкость к дестабилизирующим факторам. Приводится схемотехническая реализация делителя на 2 и результаты моделирования на 0,25 мкм КМОП техпроцессе. Дополнительно, в разработанном устройстве реализуется регулировка тока потребления и выходного напряжения с помощью резистора источника опорного тока и резистора нагрузки.

**Ключевые слова:** делитель частоты, токовая логика, линейная алгебра.

### Введение

Делители частоты широко используются в различных аналоговых и аналого-цифровых интегральных схемах, такие как системы фазовой автоподстройки частоты (ФАПЧ) [1 – 2], генерация квадратурных сигналов [3] и системах восстановления несущей при когерентной демодуляции сигнала [4]. Современные системы высокоскоростной радиосвязи требуют сложных приемопередатчиков, позволяющих обрабатывать сигналы с широкой полосой пропускания. В таких условиях параметры блоков на основе делителей частоты играют важную роль в определении параметров всей системы [5]. А надежность таких устройств напрямую влияют на надежность всей системы.

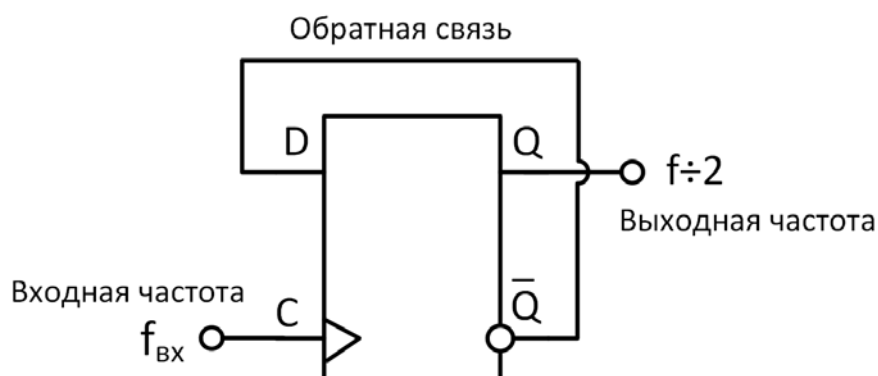


Рис. 1 – Блок-схема делителя частоты на 2

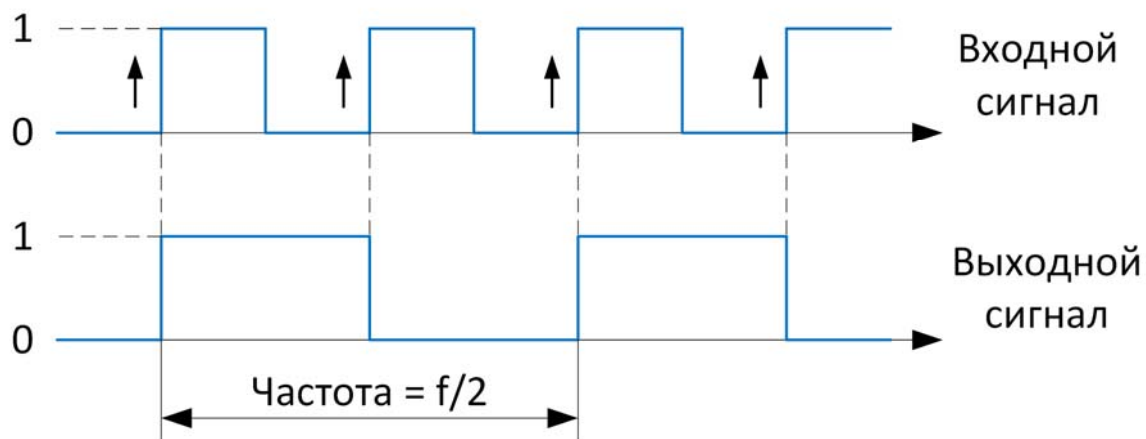


Рис. 2 – Временная диаграмма входных и выходных сигналов делителя частоты на 2

Блок схема и временные диаграммы работы делителя на 2 приведены на рис. 1 и рис. 2 соответственно.

Обычно, схемотехника таких устройств основана на стандартных КМОП техпроцессах, рис. 3 или на основе эмиттерно связанной логики (ЭСЛ) для БиКМОП техпроцессов, рис. 4.

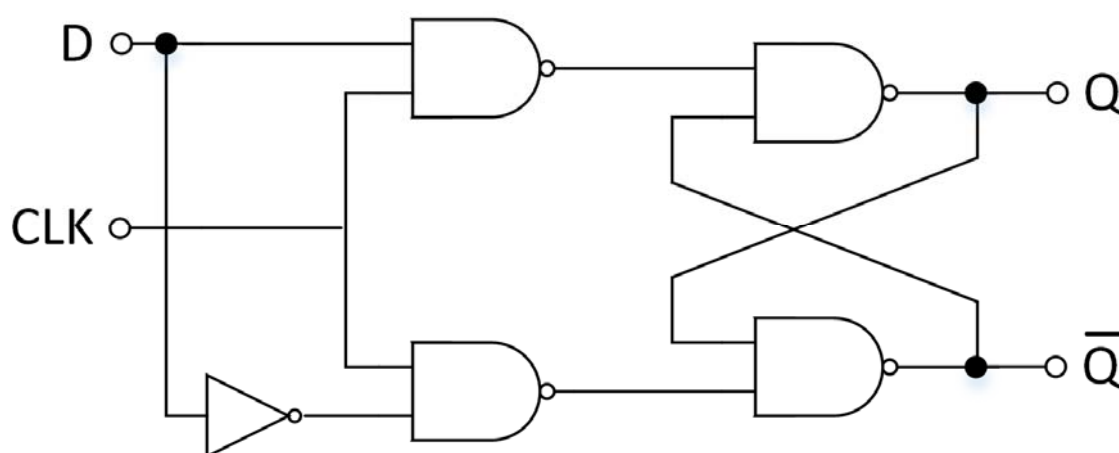


Рис. 3 Схема КМОП D-триггера

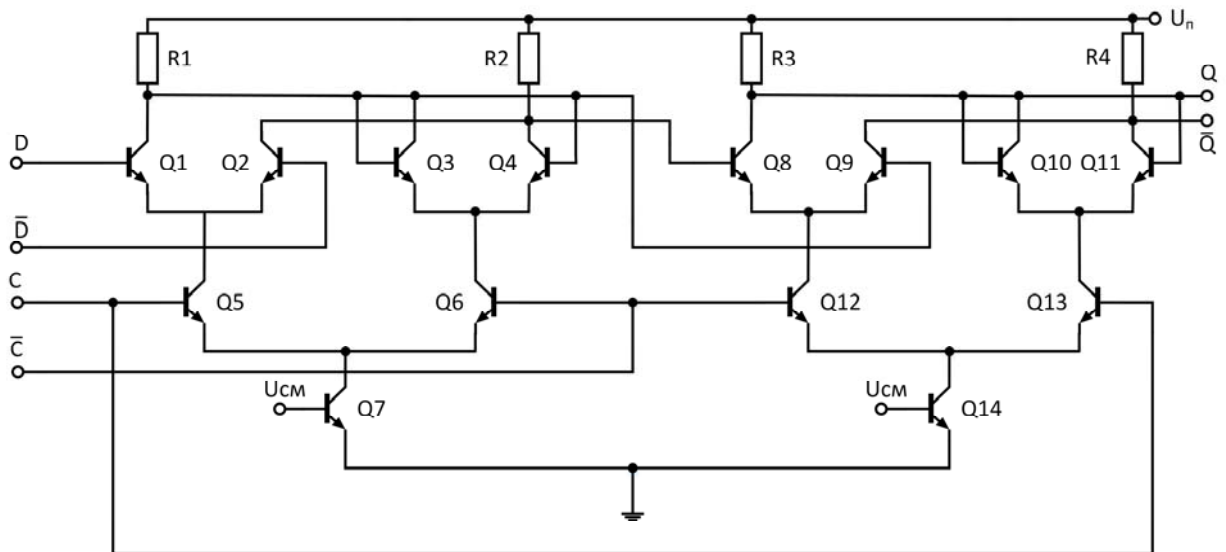


Рис. 4 Схемотехническая реализация D-триггера на основе эмиттерно-связанной логики

Преимущество КМОП схем в малом энергопотреблении и малых размерах, однако для достижения стабильности параметров в условиях радиационного воздействия применяются специальные технологические процессы [6] и топологические методы [7]. Улучшение надежности интегральных схем в условиях радиационных и температурных воздействий и при изменении напряжения питания является актуальной темой, особенно в космической индустрии, где нет возможности заменить электронно-компонентную базу.

В статье приводится реализация делителя на 2 на основе токовой логики, где схемотехнический синтез производится на основе правил линейной алгебры, а логические сигналы «0» и «1» представлены в форме токов, а не напряжений [8 – 11]. Преимущества таких схем связаны с возможностью работы транзисторов в активном режиме, повышая тем самым быстродействие, а так же стабильность к внешним факторам, таким как температура и радиационное воздействие благодаря использованию симметричных токовых зеркал, вычитающих ошибки друг друга и

работающих в широком диапазоне питающих напряжений. Ограничение сверху в таких схемах связано с напряжением пробоя сток-исток или коллектор-эмиттер, снизу - минимальным напряжением сток-исток для КМОП транзистора и напряжением эмиттер-база для pnp транзистора. Возможность изменения статического тока токовых зеркал позволяет динамически изменять энергопотребление в зависимости от требуемого быстродействия [11 – 14].

### Логический синтез на основе токовой логики

Линейная алгебра является одной из алгебраических систем, используемых в современной математике. Интерпретируя эту алгебраическую систему определенным образом, можно получать алгебры с различными свойствами. Например, интерпретируя  $A$  как множество термов булевых функций  $f(x_1, \dots, x_n)$ , операции  $+$  и  $-$  как  $\max(x_1, \dots, x_n)$ ,  $\min(x_1, \dots, x_n)$ , получаем алгебру  $A \rightarrow \langle A; \max, \min, \theta; \mathbf{P} \rangle$ . Точно также, оставив семантику операций в первоначальном виде (т.е. определив их как обычные арифметические операции), можно рассматривать приведенную систему как линейную алгебру на множестве  $A$  векторов линейного пространства. Именно в этом виде приведенная алгебраическая система и используется далее [10 – 11].

Удобство такой структуры состоит в возможности представления сигналов в виде токов и их коммутации с помощью распространенных в аналоговой схемотехнике токовых зеркал.

Так реализация логической функции «НЕ» («инверсия»), рис. 5, производится с помощью токового зеркала на транзисторах М1 и М2, источника опорного тока И1 и цепью коммутации токов на транзисторах М3 и М4 [13 – 14]. Входной сигнал  $I_{вх}$  в тока подается на вход токового зеркала, где вычитается из тока И1, равному по току входному сигналу  $I_{вх}$  со

---

значением логической «1» и далее поступает на вход цепи коммутации токов. Таким образом, если на входе элемента присутствует логическая «1», то на выходе  $I_{\text{ВЫХ}}$  устанавливается логический «0», то есть отсутствие тока.

Синтез логической функции «И» («конъюнкция»), рис. 6, производится на основе представления её в линейной алгебре. Это представление имеет следующий вид:

$$x_1 \& x_2 = x_1 \div (x_1 \div x_2)$$

где  $x_1, x_2$  – входные логические сигналы.

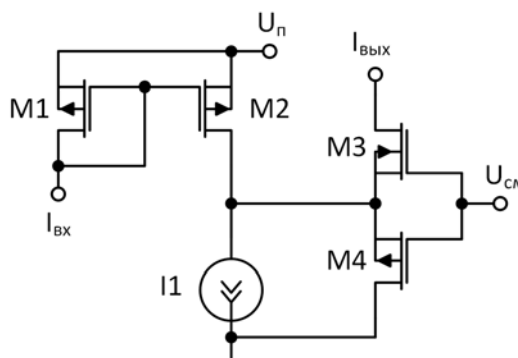


Рис. 5 – Схемотехническая реализация элемента «НЕ»

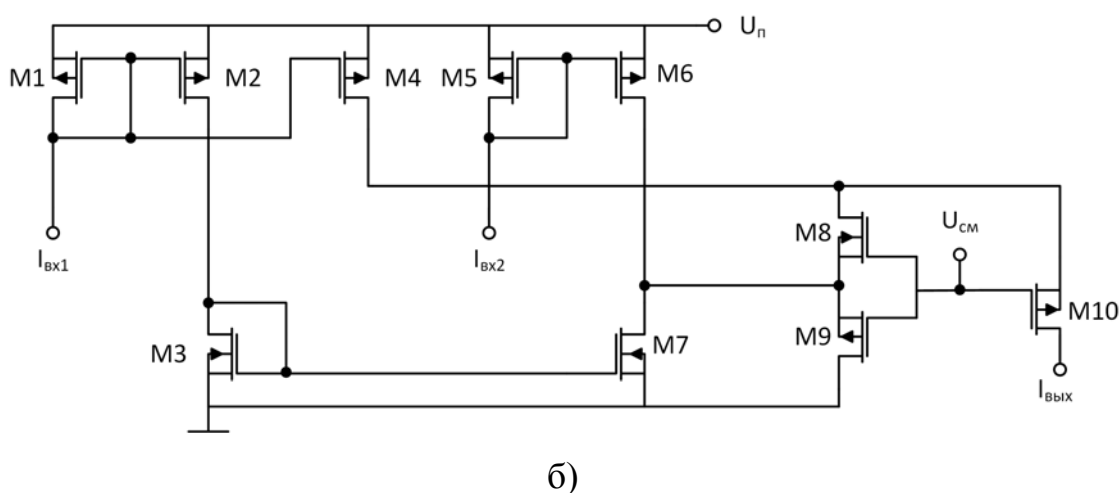
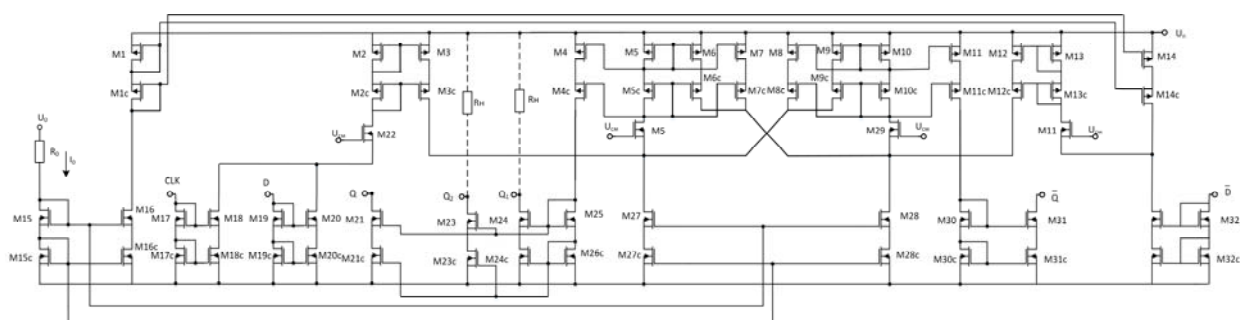


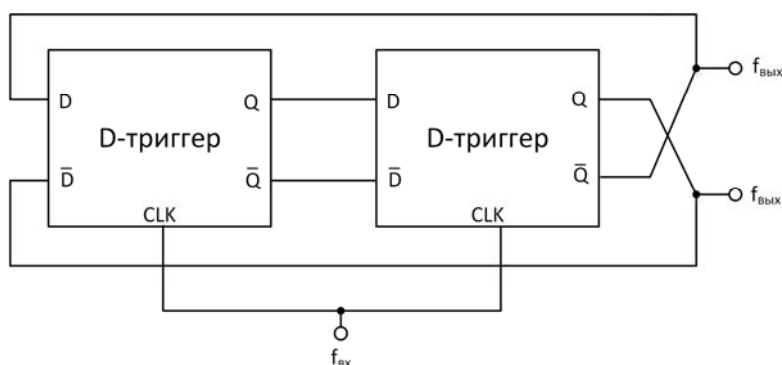
Рис. 6 – Схемотехническая реализация элемента «2И»

## Схмотехническая реализация

Схмотехническая реализация делителя на 2 на основе токовой логики приведена на рис. 7а. Делитель на 2 состоит из двух одинаковых D-триггеров, включенных по схеме рис. 7б.



а)



б)

Рис. 7. Схмотехника делителя на 2 на основе токовой логики а) и его блок схема б)

Выходы могут быть подключены на номинальную нагрузку  $R_n$  либо работать в режиме с «открытым» стоком, позволяющий изменять амплитуду выходного напряжения путем изменения сопротивления резистора нагрузки. Т.к. статический и динамический токи настраиваются током  $I_0$ , потребление тока может быть настроено с помощью внешнего резистора или источника напряжения. Дополнительно, несколько выходов  $Q_1, Q_2$  с разным выходным



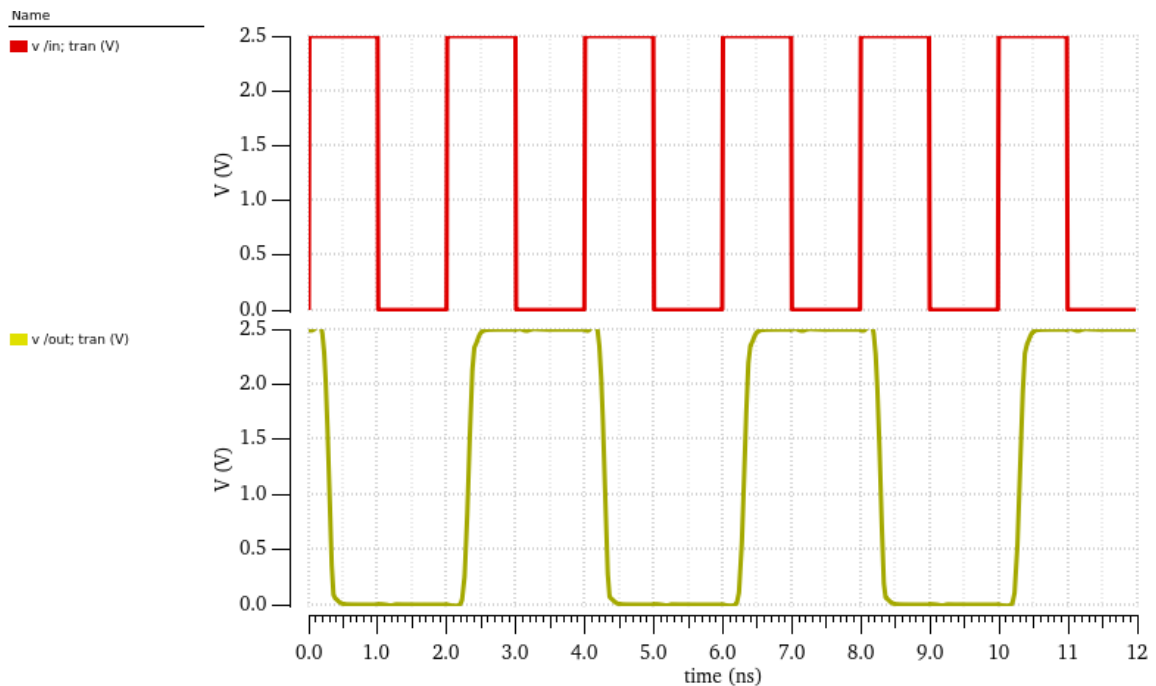


Рис. 9 Входные и выходные сигналы делителя частоты на 2 при  $f_{\text{вх}} = 500$  МГц

В табл. 1 приведены сводные результаты моделирования разработанного делителя на 2 в Cadence Virtuoso на основе 0,25 мкм КМОП техпроцесса.

Таблица № 1

### Параметры делителя частоты на 2

Наименование параметра	$I_0 = 300$ мкА	$I_0 = 400$ мкА	$I_0 = 500$ мкА
Ток потребления, мА	4,0	5,3	6,6
Фмакс, ГГц	1,9	2,4	2,8
Примечания: $T = 25$ С, $U_{\text{п}} = 2,5$ В, $R_{\text{н}} = 5$ кОм			

### Заключение

Разработан делитель на 2 на основе логического синтеза линейной алгебры. Приведены результаты моделирования на основе 0,25 мкм КМОП техпроцесса. Разработанное устройство может быть использовано в блоках



сложно-функциональных блоках, таких как системы ФАПЧ, квадратурные модуляторы и демодуляторы, синтезаторы частоты. Основные преимущества разработанной схемы связаны с архитектурной стабильностью параметров при воздействии дестабилизирующих факторов, таких как температура, радиационное воздействие, а так же возможность работы в широком диапазоне питающих напряжений.

### **Благодарность за финансовую поддержку работы**

*Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 16-37-60054 мол\_а\_дк.*

### **Литература**

1. Chiu, Wei-Hao, Yu-Hsiang Huang, and Tsung-Hsien Lin A dynamic phase error compensation technique for fast-locking phase-locked loops // IEEE Journal of Solid-State Circuits 45.6, 2010, pp. 1137-1149.
  2. А.В. Андрианов, А.Н. Зикий, П.Н. Зламан, А.А. Пустовит, И.А. Сальный Делитель частоты на 32 // Инженерный вестник Дона, 2017, №2 URL: ivdon.ru/ru/magazine/archive/n2y2017/4204.
  3. Hara, Shoichi, Kenichi Okada, and Akira Matsuzawa 10MHz to 7GHz quadrature signal generation using a divide-by-4/3,-3/2,-5/3,-2,-5/2,-3,-4, and-5 injection-locked frequency divider // VLSI Circuits (VLSIC), 2010 IEEE Symposium on. IEEE, 2010, pp. 1-4.
  4. Huang, Fan-Hsiu, and Yi-Jen Chan V-band CMOS differential-type injection locked frequency dividers // VLSI Design, Automation and Test, 2006 International Symposium on. IEEE, 2006, pp. 1-2.
  5. Dyskin, Aleksey, and Ingmar Kallfass Analytical Approach for SiGe HBT Static Frequency Divider Design for Millimeter-Wave Frequency Operation // IEEE Transactions on Microwave Theory and Techniques 66.3, 2018, pp. 1411-1417.
-



6. Furuta, Jun, Junki Yamaguchi, Kazutoshi Kobayashi A radiation-hardened non-redundant flip-flop, stacked leveling critical charge flip-flop in a 65 nm thin BOX FD-SOI process // IEEE Transactions on Nuclear Science 63.4, 2016, pp. 2080-2086.

7. Gatti, Umberto Radiation-hardened techniques for CMOS flash ADC // Electronics, Circuits and Systems (ICECS), 2014 21st IEEE International Conference on. IEEE, 2014, pp. 1-4

8. Budyakov, P.S., N.I. Chernov, V.Ya. Yugai and N.N. Prokopenko, 2 to 4 decoder based on current logic 25th Telecommunications Forum (TELFOR 2017), 2017, pp. 1-4.

9. Chernov, N.I., V.Ya. Yugai, N.N. Prokopenko and N.V. Butyrlagin Basic concept of linear synthesis of multi-valued digital structures in linear spaces // 2014 East-West Design & Test Symposium (EWDTS), 2014, IEEE, pp. 146-149.

10. Chernov, N.I., The effectiveness of the use of tool of linear spaces in logical synthesis of digital structures. Proceedings of International Scientific and Technical conferences Intelligence Systems (IEEE AIS'05) and Intelligent CAD Systems (CAD-2005), 2005, pp. 420-424.

11. Chernov, N.I., Yugai V.Ya., Prokopenko N.N., Butyrlagin N.V. Basic concept of linear synthesis of multi-valued digital structures in linear spaces // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2013). Kharkov : Kharkov National University of Radioelectronics, 2013, pp. 146-149.

12. Budyakov, P.S., N.I. Chernov, V.Ya. Yugai and N.N. Prokopenko Logic functions representation and synthesis of k-valued digital circuits in linear algebra // 24th Telecommunications Forum (TELFOR 2016), 2016, pp.1-4.

13. Пат. РФ 2547231 Дешифратор 2 в 4 // Будяков П.С., Югай В.Я., Прокопенко Н.Н., Будяков А.С., Савченко Е.М.: заявитель и патентообладатель ФГБОУ ВПО «Донской государственный технический



университет» (ДГТУ). -№ 2014112901/08; заявл. 02.04.2014; опубл. 10.04.2015, Бюл. № 10.

14. Будяков П.С., Чернов И.И., Югай В.Я., Прокопенко Н.Н. Математический аппарат синтеза  $k$ -значных цифровых логических схем на основе линейной алгебры // Инженерный вестник Дона, 2016, №4. URL: [ivdon.ru/ru/magazine/archive/n4y2016/3824](http://ivdon.ru/ru/magazine/archive/n4y2016/3824).

### References

1. Chiu, Wei-Hao, Yu-Hsiang Huang, and Tsung-Hsien Lin, A dynamic phase error compensation technique for fast-locking phase-locked loops. IEEE Journal of Solid-State Circuits 45.6 (2010). pp: 1137-1149.

2. Andrianov A.V., Zikij A.N., Zlaman P.N., Pustovit A.A., Salnyj I.A. Inženernyj vestnik Dona (Rus), 2017, №2. URL: [ivdon.ru/ru/magazine/archive/n2y2017/4204](http://ivdon.ru/ru/magazine/archive/n2y2017/4204).

3. Hara, Shoichi, Kenichi Okada, and Akira Matsuzawa, 10MHz to 7GHz quadrature signal generation using a divide-by-4/3,-3/2,-5/3,-2,-5/2,-3,-4, and-5 injection-locked frequency divider. VLSI Circuits (VLSIC), 2010 IEEE Symposium on. IEEE, 2010. pp: 1-4

4. Huang, Fan-Hsiu, and Yi-Jen Chan, V-band CMOS differential-type injection locked frequency dividers. VLSI Design, Automation and Test, 2006 International Symposium on. IEEE, 2006. pp: 1-2.

5. Dyskin, Aleksey, and Ingmar Kallfass, Analytical Approach for SiGe HBT Static Frequency Divider Design for Millimeter-Wave Frequency Operation. IEEE Transactions on Microwave Theory and Techniques 66.3 (2018). pp: 1411-1417.

6. Furuta, Jun, Junki Yamaguchi, and Kazutoshi Kobayashi, A radiation-hardened non-redundant flip-flop, stacked leveling critical charge flip-flop in a 65 nm thin BOX FD-SOI process. IEEE Transactions on Nuclear Science 63.4 (2016): pp: 2080-2086.

7. Gatti, Umberto, Radiation-hardened techniques for CMOS flash ADC. Electronics, Circuits and Systems (ICECS), 2014 21st IEEE International Conference on. IEEE, 2014. pp. 1-4

8. Budyakov, P.S., N.I. Chernov, V.Ya. Yugai and N.N. Prokopenko, 2 to 4 decoder based on current logic. 25th Telecommunications Forum (TELFOR 2017), 2017, IEEE, pp: 1-4

9. Chernov, N.I., V.Ya. Yugai, N.N. Prokopenko and N.V. Butyrlagin, Basic concept of linear synthesis of multi-valued digital structures in linear spaces. 2014 East-West Design & Test Symposium (EWDTS), 2014, IEEE, pp: 146-149.

10. Chernov, N.I., The effectiveness of the use of tool of linear spaces in logical synthesis of digital structures. Proceedings of International Scientific and Technical conferences Intelligence Systems (IEEE AIS'05) and Intelligent CAD Systems (CAD-2005), 2005, IEEE, pp: 420-424.

11. Chernov, N.I., Yugai V.Ya., Prokopenko N.N., Butyrlagin N.V., Basic concept of linear synthesis of multi-valued digital structures in linear spaces. Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2013). Kharkov : Kharkov National University of Radioelectronics, 2013. pp: 146-149.

12. Budyakov, P.S., N.I. Chernov, V.Ya. Yugai and N.N. Prokopenko, Logic functions representation and synthesis of k-valued digital circuits in linear algebra. 24th Telecommunications Forum (TELFOR 2016), 2016, IEEE, pp: 1-4.

13. Patent RF 2547231 Deshifrador 2 v 4 [2 to 4 decoder], Budyakov P.S., Yugay V.Ya., Prokopenko N.N., Budyakov A.S., Savchenko E.M., application No. 2014112901/08 applied on 02.04.2014 and published on 10.04.2015, Bul. No.10.

14. Budyakov P.S., Chernov I.I., Yugai V.Y., Prokopenko N.N. Inzhenernyj vestnik Dona (Rus), 2016, №4. URL: [ivdon.ru/ru/magazine/archive/n4y2016/3824](http://ivdon.ru/ru/magazine/archive/n4y2016/3824).

---